

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-022556

(43)Date of publication of application : 28.01.1994

(51)Int.Cl.

H02M 7/48

(21)Application number : 04-172639

(71)Applicant : MEIDENSHA CORP

(22)Date of filing : 30.06.1992

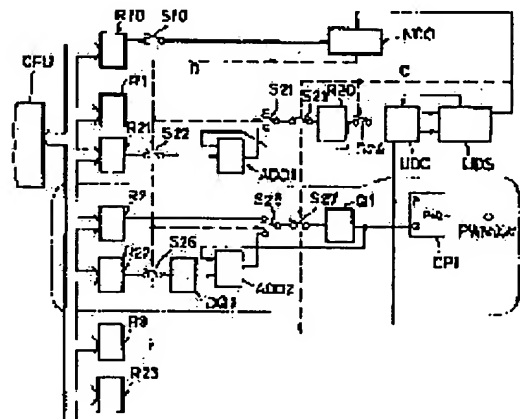
(72)Inventor : YAMAMOTO YASUHIRO

## (54) PWM PATTERN GENERATOR CIRCUIT

## (57)Abstract:

**PURPOSE:** To lessen the increase of the operations of a CPU and to obtain smooth output voltage, by causing a voltage command to change linearly instead of changing in steps.

**CONSTITUTION:** Variation command of a PWM command is written in a fourth register R22, and it supplies data to a latch circuit DQ1 by the output from an N-nary counter NCO. And the output of this circuit DQ1 is given to an adder circuit ADD2, and it is added to the output of a third register Q1 with the adder circuit ADD2. After that, it changes the value of the third register Q1 through the medium of a selector switch S25. The output of the third register Q1 is compared with the output of an up-down counter UDC by a comparator circuit CP1, and a PWM pattern is obtained as its output.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

.(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-22556

(43)公開日 平成6年(1994)1月28日

(51)Int.Cl.<sup>5</sup>

H O 2 M 7/48

識別記号

庁内整理番号

FI

### 技術表示箇所

F 9181-5H

J 9181-5H

審査請求 未請求 請求項の数 2 (全 7 頁)

(21)出願番号

特願平4-172639

(22)出願日

平成4年(1992)6月30日

(71)出願人 000006105

株式会社明電舎

東京都品川区大崎2丁目1番17号

(72)発明者 山本 康弘

東京都品川区大崎 2 丁目 1 番 17 号 株式会  
社明電舎内

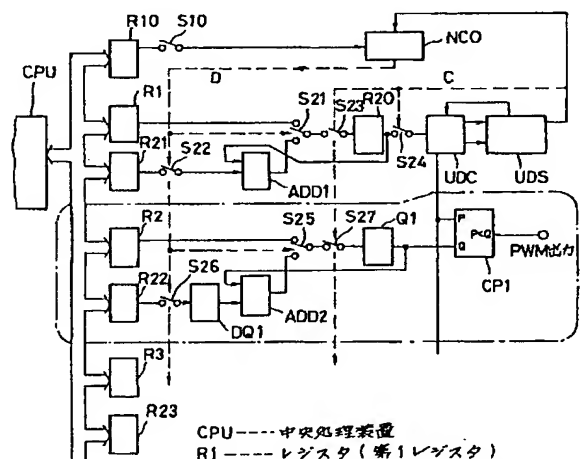
(74)代理人 弁理士 志賀 富士弥 (外1名)

(54)【発明の名称】 PWMパターン発生回路

(57) 【要約】

【目的】 電圧指令が階段状から直線状に変化するようにして、CPUの演算量の増加を少なくし、かつ滑らかな出力電圧を得るようにした。

【構成】 第4レジスタR22はPWM指令の変化分指令を書き込み、N進カウンタNCOからの出力でラッチ回路DQ1にデータを供給する、この回路DQ1の出力は加算回路ADD2に与えられ、第3レジスタQ1の出力と加算回路ADD2で加算される。その後、セレクトスイッチS25を介して第3レジスタQ1の値を変え、第3レジスタQ1出力はアップダウンカウンタUDCの出力と比較回路CP1で比較されて、その出力にPWMパターンを得る。



CPU----中央処理装置  
R1----レジスタ(第1レジスタ)  
R2----レジスタ(第2レジスタ)  
Q1,Q2--コパイラタ用レジスタ(第3レジスタ)  
R20----レジスタ(第6レジスタ)  
R21----レジスタ(第5レジスタ)  
R22----レジスタ(第4レジスタ)  
OQ1----ラッチ回路  
ADD1,ADD2---加算回路  
UDC---アップダウンカウンタ  
UD5---アップダウン加算部  
NC0---N進カウンタ  
CP1,CP2----比較回路  
S21,S25----セクタスイッチ  
S22,S23,S24,S26,S27,S10----スリッチ

1

## 【特許請求の範囲】

【請求項1】 CPUからの三角波の搬送波の上限値が書き込まれる第1レジスタと、各相のPWM電圧指令が書き込まれる第2レジスタとを有し、第1レジスタに設定された上限値までアップダウンを繰り返すアップダウンカウンタと、このアップダウンカウンタを切換えて出力に三角波頂点パルスを得るアップダウンカウンタ切換部と、この切換部により得られた三角波頂点パルスをカウントするPWM繰り返し用N進カウンタと、前記CPUから書き込まれ、前記N進カウンタのカウント分周値を設定するPWM繰り返し回数指令レジスタと、前記N進カウンタからのカウント分周値に応じてPWM指令を書き込む第3レジスタと、この第3レジスタの出力と前記アップダウンカウンタの出力との大小の比較を行う比較回路とを備えたPWMパターン発生回路において、PWM指令の変化分を書き込む第4レジスタと、この第4レジスタの出力をN進カウンタからのカウンタ分周値が送出されたとき書き込むラッチ回路と、このラッチ回路の出力と前記第3レジスタの出力との値を加算する加算回路と、この加算回路の出力と前記第2レジスタの出力とを前記N進カウンタからのカウンタ分周値に応じて選択するセレクタと、このセレクタで選択された出力を前記搬送波の半周期毎に前記第3レジスタの値を更新するスイッチとにより構成されたことを特徴とするPWMパターン発生回路。

【請求項2】 搬送波の変化分が書き込まれる第5レジスタと、前記第1レジスタの出力が書き込まれる第6レジスタと、この第6レジスタの出力と前記搬送波変化分が書き込まれた第5レジスタの出力とを加算する加算回路と、この加算回路の出力を前記N進カウンタからのカウンタ分周値に応じて選択するセレクタと、このセレクタで選択された出力を前記搬送波の半周期毎に前記第6レジスタの値を更新するスイッチとを備え、前記第6レジスタの値でアップダウンカウンタを変化させることを特徴とする請求項1記載のPWMパターン発生回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 可変速駆動装置に使用されるインバータを制御するためのPWMパターン発生回路に関する。

## 【0002】

【従来の技術】 従来、インバータ用のPWMパターン発生方法の内、アナログ回路でPWMパターンを発生する方法として三角波の搬送波と電圧指令との大小比較を行って、パターン演算する方法が一般的である。前述の三角波の変わりにアップダウンカウンタのカウント値を用い、そのカウント値とCPU等から書き込まれたレジスタの値とをデジタルコンパレータで比較すれば、デジタル回路でも同様な回路が実現できる。図5はそのブロック図で、図5において、中央処理装置CPUは三角波の

2

上限値をキャリアカウンタ上限指令書き込みレジスタR1に書き込むとともに各相の電圧指令をPWM指令書き込みレジスタR2、R3に書き込む。アップダウンカウンタUDCはレジスタR1に設定された上限値までアップダウンを繰り返すとともに図6に示す三角波の上限または下限の頂点の時点でアップダウンの切換をアップダウン切換部UDSで行う。このアップダウン切換部UDSはスイッチS1を通して、次のキャリア振幅を読み込むデータラッチ信号Aを出力する。

【0003】 Q1、Q2はPWMコンパレータ用レジスタで、このレジスタQ1、Q2は中央処理装置CPUよりレジスタR2、R3に書き込まれるPWM指令の各相についてのデータの書き込み時刻にバラツキがあるためのバッファ用レジスタである。レジスタR2、R3はデータラッチ信号Aの三角波頂点の時刻毎に各相共同時にデータをレジスタQ1、Q2に転送する。このように転送することにより三相指令が同時に変化する。CP1、CP2は大小比較回路で、この比較回路CP1、CP2は各相のPWM指令値(Q1、Q2の値)とアップダウンカウンタUDCの出力(キャリア値)との大小の比較を行って、出力に各相のPWMパルスパターンを発生する。多相の場合にはレジスタR1、R2、Q1、Q2、Q1、Q2、CP1、CP2、S2、S3を増加することにより実現できる。

## 【0004】

【発明が解決しようとする課題】 最近、IGBT、FETの開発によりPWMのキャリア周波数が高くてできるようになってきた。しかし、PWM電圧指令時間は中央処理装置CPUの演算能力の限界により、PWMキャリアの半周期では演算しきれなくなってきた。そこで、図3に示すように、前記図5にN進カウンタNCO、レジスタR10およびスイッチS10を追加した回路が実用化されている。図3において、レジスタR10はN進カウンタNCOのカウント分周値を設定するものである。N進カウンタNCOはアップダウン切換部UDSから出力される三角波頂点パルスをカウントし、スイッチS10によりN進カウンタNCOの分周パルス出力と同時に次のN分周値をロードする。これは図5において、スイッチS2、S3がオンしてレジスタQ1、Q2にロードするタイミングをN分周値に1回出力するデータラッチ信号Bに置き換えたものである。

【0005】 これにより、図4のように、PWM半周期のN倍の周期毎にPWMキャリアとPWM指令は変化する、その間は同一のPWMパターンが繰り返し出力することができる。このため、PWM演算周期はデータラッチ信号Bが出力されるまでに行えばよく、従来のトランジスタ等に用いていた中央処理装置CPUをそのまま使用できる。このことは高速なCPUが必要ないことである。また、PWMの演算法もほぼ同一でよい。しかし、データラッチ信号Bが出力される毎に電圧指令が変化する

3

るため、出力電圧はデータラッチ信号Bの周期毎に階段状に変化することになる。この状態をもっと滑らかに出力するためには、CPUを高速なものにしてデータラッチ信号Bの周期を短くしなければならない問題がある。

【0006】この発明は上記の事情に鑑みてなされたもので、PWM発生回路内に加算回路と電圧指令の変化データレジスタ等を設けて、電圧指令が階段状から直線状に変化するようにしてCPUの演算量の増加を少なくし、かつ、滑らかな出力電圧が得られるようにしたPWMパターン発生回路を提供することを目的とする。

【0007】

【課題を解決するための手段】この発明は上記の目的を達成するために、第1発明はCPUからの三角波の搬送波の上限値が書き込まれる第1レジスタと、各相のPWM電圧指令が書き込まれる第2レジスタとを有し、第1レジスタに設定された上限値までアップダウンを繰り返すアップダウンカウンタと、このアップダウンカウンタを切換えて出力に三角波頂点パルスを得るアップダウンカウンタ切換部と、この切換部により得られた三角波頂点パルスをカウントするPWM繰り返し用N進カウンタと、前記CPUから書き込まれ、前記N進カウンタのカウント分周値を設定するPWM繰り返し回数指令レジスタと、前記N進カウンタからのカウント分周値に応じてPWM指令を書き込む第3レジスタと、この第3レジスタの出力と前記アップダウンカウンタの出力との大小の比較を行う比較回路とを備えたPWMパターン発生回路において、PWM指令の変化分を書き込む第4レジスタと、この第4レジスタの出力をN進カウンタからのカウンタ分周値が送出されたとき書き込むラッチ回路と、このラッチ回路の出力と前記第3レジスタの出力との値を加算する加算回路と、この加算回路の出力と前記第2レジスタの出力とを前記N進カウンタからのカウンタ分周値に応じて選択するセレクタと、このセレクタで選択された出力を前記搬送波の半周期毎に前記第3レジスタの値を更新するスイッチとにより構成されたことを特徴とするものである。

【0008】第2発明は搬送波の変化分が書き込まれる第5レジスタと、前記第1レジスタの出力が書き込まれる第6レジスタと、この第6レジスタの出力と前記搬送波変化分が書き込まれた第5レジスタの出力とを加算する加算回路と、この加算回路の出力を前記N進カウンタからのカウンタ分周値に応じて選択するセレクタと、このセレクタで選択された出力を前記搬送波の半周期毎に前記第6レジスタの値を更新するスイッチとを備え、前記第6レジスタの値でアップダウンカウンタを変化させることを特徴とするものである。

【0009】

【作用】第1発明は第4レジスタに書き込まれたPWM指令の変化分をラッチ回路に書き込む。このラッチ回路の出力は第3レジスタと加算された後、セレクタを介し

4

て第3レジスタに供給されて、そのレジスタの値を更新させる。第3レジスタの出力はアップダウンカウンタの出力と比較回路で比較されてパターン出力を得る。この第3レジスタの出力は第2レジスタが入力に選択されたままでは、第4レジスタの値を積算する。第2発明は第5レジスタに書き込まれた搬送波の変化分と、第6レジスタの出力とを加算した後、セレクタを介して第6レジスタに供給して、そのレジスタの値を更新させる。

【0010】

10 【実施例】以下この発明の実施例を図面に基づいて説明するに、図3と同一部分は同一符号を付して述べる。図1において、R22はPWM指令の変化分をCPUから書き込むレジスタ（第4レジスタ）で、このレジスタR22には図2に示す符号D1と $\Delta D1$ に相当する値を書き込む。一方、N進カウンタNCOがN分周値信号D（図2に示す）を出力するとレジスタR2の値はセレクタスイッチS25を通してスイッチS27に送られる。レジスタR2の値はそのままコンパレータ用レジスタQ1（第3レジスタ）に送られる。

20 【0011】そして、PWM半周期（頂点信号Cの期間）の間はレジスタQ1の値でPWMパターンを作成する。前記頂点信号CもN分周値信号DもPWMキャリア用カウンタの1クロック分の幅しかなくデータ転送するとすぐ各スイッチはオフとなる。PWMキャリアをカウントし、次の頂点信号Cが発生するときに、N分周値信号Dが出力されない場合には、レジスタQ1のラッチの値と、ラッチレジスタDQ1との値を加算回路ADD2で加算した結果の出力がセレクタスイッチS25によって選択される。スイッチS27もN分周値信号Dの出力

30 時点はカウンタの三角波の頂点でもあるので、その頂点信号C（図2に示す）によりスイッチS27も閉じているため、次の半周期では $(D1 + \Delta D1)$ の値がレジスタQ1に設定される。この $\Delta D1$ はPWM半周期毎にN分周信号Dの出力が行われるまで、毎回加算されるため、図2の符号aで示す区間のように一定の傾きをもって指令が変化する。

40 【0012】これにより、出力電圧が階段状に変化していたものが、直線状に変化することになる。 $\Delta D1$ の値は正、負の値を取れるものとすれば、PWMの指令の傾きも正、負どちらにも設定できる。同様にキャリア周期も図2の符号dで示す区間のようにPWM半周期毎に変化させることができる。この回路を次に示す。R20は搬送波の作成用のアップダウンカウンタの上限値を設定するレジスタ（第6レジスタ）、R21は搬送波の変化分を書き込むレジスタ（第5レジスタ）、ADD1は加算回路である。また、S21はセレクタスイッチ、S22、S23、S24はスイッチで、セレクタスイッチS21とスイッチS22はN分周値信号Dにより制御され、スイッチS23、S24は頂点信号Cにより制御される。

50

5

【0013】なお、上記回路において、PWM演算はN分周値信号Dの信号周期毎に1回行い前回の設定値と比較して、 $\Delta D$ の値を計算し、次のN分周値信号が発生するまでに今回PWM演算値に達するようにすればPWM演算時間は $\Delta D$ の計算分のみの増加でよい。

【0014】

【発明の効果】以上述べたように、この発明によれば、加算回路、PWM指令の変化分を書き込むレジスタやラッチ回路等を設けたことにより、電圧指令を階段状から直線状に変化させることができるようになるとともに、PWM演算量の増加も少なく、かつ滑らかな出力電圧を得ることができ、しかも、ハードウェアでPWM指令の変化を実現したため、CPUのソフトウェアの負担が大幅に軽減される利点がある。

【図面の簡単な説明】

【図1】この発明の実施例を示す構成説明図。

【図2】図1の動作説明図。

【図3】従来例の構成説明図。

【図4】図3の動作説明図。

6

【図5】従来例の動作説明図。

【図6】図5の動作説明図。

【符号の説明】

CPU…中央処理装置

R1…レジスタ（第1レジスタ）

R2…レジスタ（第2レジスタ）

Q1、Q2、R20…コンパレータ用レジスタ（第3レジスタ）

R22…レジスタ（第4レジスタ）

10 R21…レジスタ（第5レジスタ）

DQ1…ラッチ回路

ADD1、ADD2…加算回路

UDC…アップダウンカウンタ

UDS…アップダウン切換部

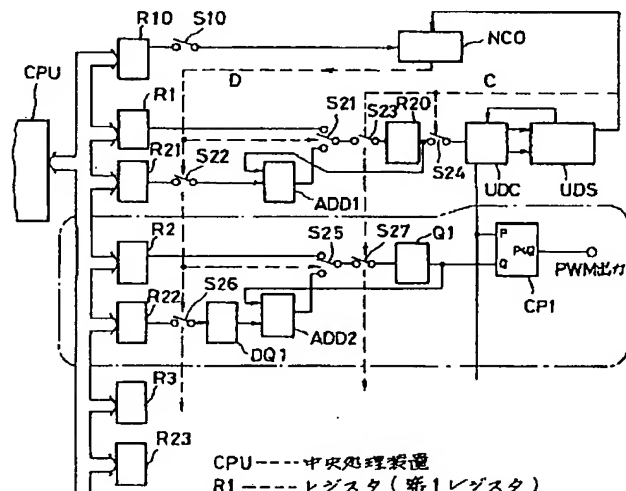
NCO…N進カウンタ

CP1、CP2…比較回路

S21、S25…セクタスイッチ

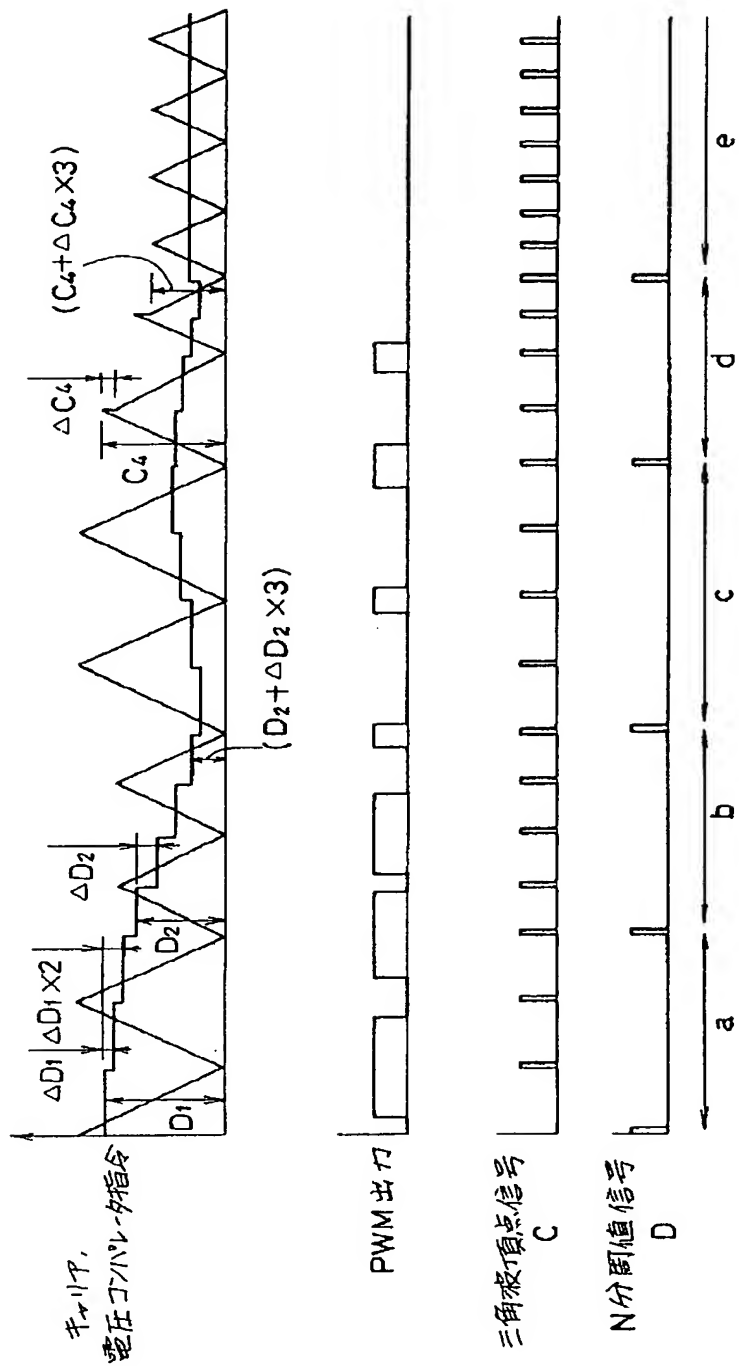
S10、S22、S23、S24、S26、S27…スイッチ

【図1】

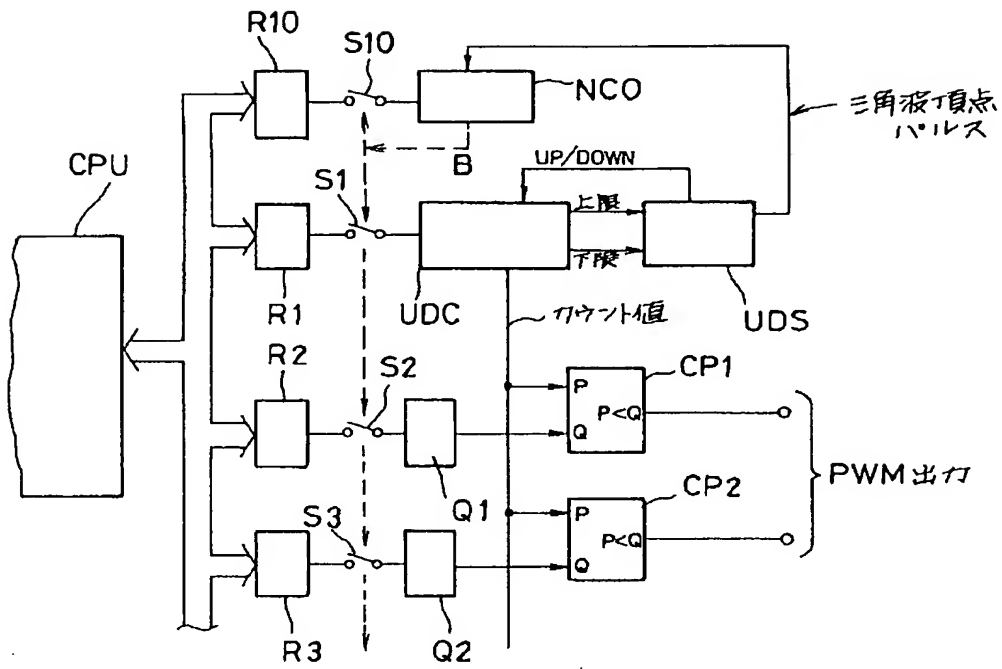


CPU…中央処理装置  
R1…レジスタ（第1レジスタ）  
R2…レジスタ（第2レジスタ）  
Q1,Q2…コンパレータ用レジスタ（第3レジスタ）  
R20…レジスタ（第6レジスタ）  
R21…レジスタ（第5レジスタ）  
R22…レジスタ（第4レジスタ）  
DQ1…ラッチ回路  
ADD1,ADD2…加算回路  
UDC…アップダウンカウンタ  
UDS…アップダウン切換部  
NCO…N進カウンタ  
CP1,CP2…比較回路  
S21,S25…セクタスイッチ  
S22,S23,S24,S26,S27,S10…スイッチ

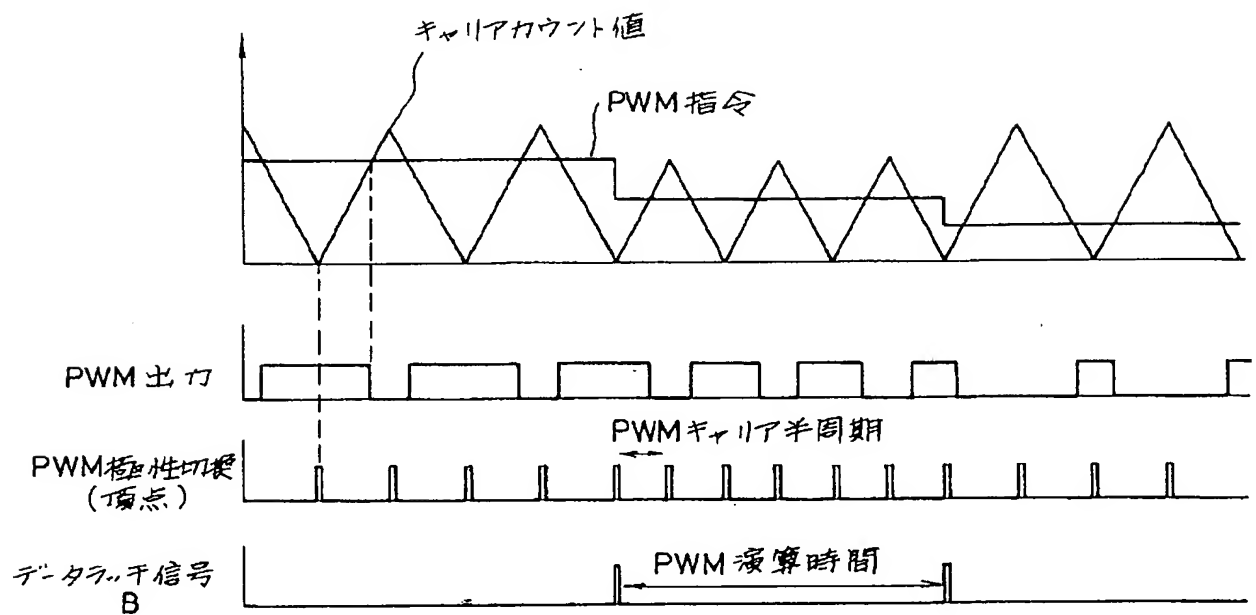
【図 2】



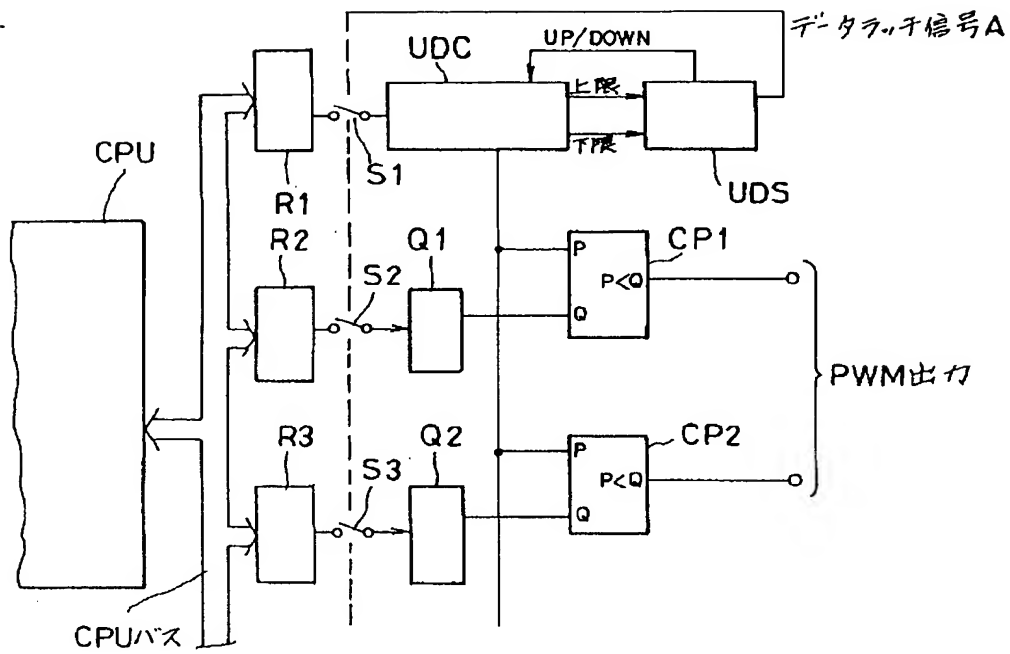
【図3】



【図4】



【図5】



【図6】

